

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-534285

(P2002-534285A)

(43) 公表日 平成14年10月15日 (2002. 10. 15)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

B 8 1 C 1/00

B 8 1 C 1/00

5 F 0 3 3

H 0 1 L 21/3205

H 0 1 L 27/08

3 2 1 F

5 F 0 4 8

21/8238

21/88

S

27/092

審査請求 未請求 予備審査請求 有 (全 38 頁)

(21) 出願番号 特願2000-593787(P2000-593787)
(86) (22) 出願日 平成12年1月14日 (2000. 1. 14)
(85) 翻訳文提出日 平成13年7月16日 (2001. 7. 16)
(86) 国際出願番号 P C T / U S 0 0 / 0 0 9 6 4
(87) 国際公開番号 W O 0 0 / 4 2 2 3 1
(87) 国際公開日 平成12年7月20日 (2000. 7. 20)
(31) 優先権主張番号 6 0 / 1 1 6 , 0 2 4
(32) 優先日 平成11年1月15日 (1999. 1. 15)
(33) 優先権主張国 米国 (U S)

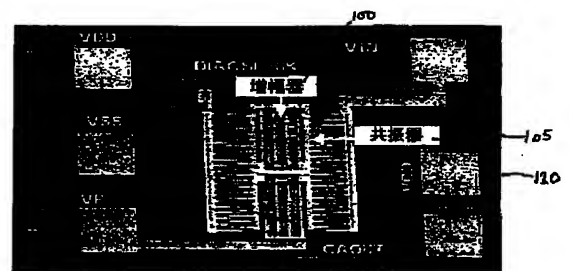
(71) 出願人 ザ リージェンツ オブ ザ ユニヴァー
シティ オブ カリフォルニア
アメリカ合衆国, カリフォルニア州,
パークレイ, シャタック アヴェニュー
2150 スウィート510
(72) 発明者 フランク, アンドレア
アメリカ合衆国, カリフォルニア州,
パークレイ, コーリー ホール 373
(72) 発明者 ホウ, ロジャー, ティ.
アメリカ合衆国, カリフォルニア州,
パークレイ, コーリー ホール 485
(74) 代理人 弁理士 山田 行一 (外1名)

最終頁に続く

(54) 【発明の名称】 マイクロ電子機械システムを形成するための多結晶シリコンゲルマニウム膜

(57) 【要約】

本発明は、シリコンゲルマニウム膜を用いるマイクロ電子機械システムに関する。マイクロ電子機械システムを形成する方法は、基板上へシリコンゲルマニウムの犠牲層を堆積するステップと、前記犠牲層の上へシリコンゲルマニウムの構造層を堆積し、前記犠牲層の前記ゲルマニウム含有量は前記構造層の前記ゲルマニウム含有量より多くするステップと、少なくとも一部の前記犠牲層を除去するステップとを含む。マイクロ電子機械システムは、基板と、前記基板上に形成される、 $0 < x \leq 1$ である $Si_{1-x}Ge_x$ の一つ以上の構造層と、前記基板上に形成される一つ以上のトランジスタとを備える。



(2)

【特許請求の範囲】

【請求項1】 マイクロ電子機械システムを形成するための方法であって、
基板上へシリコンゲルマニウムの犠牲層を堆積するステップと、
前記犠牲層の上へシリコンゲルマニウムの構造層を堆積し、前記犠牲層の前記
ゲルマニウム含有量は前記構造層の前記ゲルマニウム含有量より多くするステッ
プと、

少なくとも一部の前記犠牲層を除去するステップと
を含む方法。

【請求項2】 前記犠牲層が $\text{Si}_{1-x}\text{Ge}_x$ から成り、ここで $0.4 \leq x \leq 1$
である、請求項1に記載の方法。

【請求項3】 前記犠牲層と前記構造層が、約 650°C またはそれ未満の温
度で堆積される、請求項1に記載の方法。

【請求項4】 前記犠牲層と前記構造層が、約 550°C またはそれ未満の温
度で堆積される、請求項1に記載の方法。

【請求項5】 前記犠牲層が完全に除去される、請求項1に記載の方法。

【請求項6】 前記基板上に一つ以上のトランジスタを形成するステップを
更に含む、請求項1に記載の方法。

【請求項7】 前記一つ以上のトランジスタは、前記犠牲層と前記構造層が
前記基板上へ堆積される前に形成される、請求項6に記載の方法。

【請求項8】 前記一つ以上のトランジスタは、Cuメタライゼーションを
用いて形成される、請求項6に記載の方法。

【請求項9】 前記一つ以上のトランジスタは、Alメタライゼーションを
用いて形成される、請求項6に記載の方法。

【請求項10】 前記犠牲層と構造層は前記基板上へ、約 550°C 以下の温
度で堆積される、請求項6に記載の方法。

【請求項11】 前記一つ以上のトランジスタは、前記犠牲層と構造層が前
記基板上へ堆積される前にメタライゼーションを伴うことなく形成され、前記犠
牲層と構造層が前記基板上へ堆積された後に前記トランジスタをメタライゼーシ
ョンするステップを更に含む、請求項6に記載の方法。

(3)

【請求項 1 2】 前記一つ以上のトランジスタは MOS トランジスタである、請求項 6 に記載の方法。

【請求項 1 3】 前記一つ以上のトランジスタはバイポーラトランジスタである、請求項 6 に記載の方法。

【請求項 1 4】 前記犠牲層は、過酸化水素と、水酸化アンモニウムと、水を含む溶液へ曝すことにより除去される、請求項 1 または 6 に記載の方法。

【請求項 1 5】 前記犠牲層は、過酸化水素を含む溶液へ曝すことにより除去される、請求項 1 または 6 に記載の方法。

【請求項 1 6】 前記構造層の前記ゲルマニウムの濃度がその深さに応じて変化する、請求項 1 に記載の方法。

【請求項 1 7】 前記構造層を部分的に除去して所望の 3 次元形状を得るステップを更に含む、請求項 1 6 に記載の方法。

【請求項 1 8】 前記装置を光デバイスへ組み込むステップを更に含む、請求項 1 に記載の方法。

【請求項 1 9】 マイクロ電子機械システムを形成するための方法であって、
 基板上へ酸化シリコンの犠牲層を堆積するステップと、
 前記犠牲層の上へ、 $0 < x \leq 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の構造層を約 650°C 以下の温度で堆積するステップと、
 少なくとも一部の前記犠牲層を除去するステップと
 を含む方法。

【請求項 2 0】 前記犠牲層と構造層は、約 550°C 以下の温度で堆積される、請求項 1 9 に記載の方法。

【請求項 2 1】 前記犠牲層が完全に除去される、請求項 1 9 に記載の方法。

【請求項 2 2】 前記基板上へ一つ以上のトランジスタを形成するステップを更に含む、請求項 1 9 に記載の方法。

【請求項 2 3】 前記一つ以上のトランジスタは、前記犠牲層と構造層が前記基板上へ堆積される前に形成される、請求項 2 2 に記載の方法。

(4)

【請求項 2 4】 前記一つ以上のトランジスタは、Cuメタライゼーションを用いて形成される、請求項 2 2 に記載の方法。

【請求項 2 5】 前記一つ以上のトランジスタは、Alメタライゼーションを用いて形成される、請求項 2 2 に記載の方法。

【請求項 2 6】 前記犠牲層と前記構造層は、前記基板上へ約 550℃以下の温度で堆積される、請求項 2 2 に記載の方法。

【請求項 2 7】 前記一つ以上のトランジスタは、前記犠牲層と構造層が前記基板上へ堆積される前にメタライゼーションを伴うことなく形成され、前記犠牲層と構造層が前記基板上へ堆積された後に、前記トランジスタをメタライゼーションするステップを更に含む、請求項 2 2 に記載の方法。

【請求項 2 8】 前記一つ以上のトランジスタはMOSトランジスタである、請求項 2 2 に記載の方法。

【請求項 2 9】 前記一つ以上のトランジスタはバイポーラトランジスタである、請求項 2 2 に記載の方法。

【請求項 3 0】 前記犠牲層は、HFを含む溶液へ曝すことにより除去される、請求項 1 9 に記載の方法。

【請求項 3 1】 前記犠牲層は、HFを含む溶液へ曝すことにより除去される、請求項 2 2 に記載の方法。

【請求項 3 2】 前記犠牲層がHFへ曝される前に、アモルファスシリコンを前記基板上へ堆積するステップを更に含む、請求項 3 1 に記載の方法。

【請求項 3 3】 前記犠牲層がHFへ曝される前に、アモルファスシリコンの2つ以上の分離層が前記基板上へ堆積される、請求項 3 2 に記載の方法。

【請求項 3 4】 前記構造層の前記ゲルマニウムの濃度がその深さに応じて変化する、請求項 1 9 に記載の方法。

【請求項 3 5】 前記構造層を部分的に除去して所望の3次元形状を得るステップを更に含む、請求項 3 4 に記載の方法。

【請求項 3 6】 前記装置を光デバイスへ組み込むステップを更に含む、請求項 1 9 に記載の方法。

【請求項 3 7】 マイクロ電子機械システムであって、

(5)

基板と、
前記基板上に形成される、 $0 < x \leq 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の一つ以上の構造層と、
前記基板上に形成される一つ以上のトランジスタと
を備えるマイクロ電子機械装置。

【請求項38】 前記基板がシリコン基板である、請求項37に記載のマイクロ電子機械システム。

【請求項39】 前記基板がガラス基板である、請求項37に記載のマイクロ電子機械システム。

【請求項40】 それぞれの構造層の下に形成されるシリコンゲルマニウムの一つ以上の犠牲層の少なくとも各部を更に備え、前記一つ以上の犠牲層の前記ゲルマニウムの含有量は前記それぞれの構造層の前記ゲルマニウムの含有量よりも多い、請求項37に記載のマイクロ電子機械システム。

【請求項41】 それぞれの構造層の下に形成される酸化シリコンの一つ以上の犠牲層の少なくとも各部を更に備える、請求項37に記載のマイクロ電子機械システム。

【請求項42】 前記一つ以上のトランジスタはMOSトランジスタである、請求項37に記載のマイクロ電子機械システム。

【請求項43】 前記一つ以上のトランジスタはバイポーラトランジスタである、請求項37に記載のマイクロ電子機械システム。

【請求項44】 少なくとも一つの構造層の前記ゲルマニウムの濃度がその深さに応じて変化する、請求項37に記載のマイクロ電子機械システム。

【請求項45】 前記少なくとも一つの構造層が所望の3次元形状を有する、請求項44に記載のマイクロ電子機械システム。

【請求項46】 光デバイスへ組み込まれる、請求項37に記載のマイクロ電子機械システム。

【請求項47】 前記一つ以上の構造層が共振器を形成する、請求項37に記載のマイクロ電子機械システム。

【請求項48】 前記一つ以上の構造層は、前記一つ以上のトランジスタの

(6)

上へ堆積される、請求項 37 に記載のマイクロ電子機械システム。

【請求項 49】 前記一つ以上の構造層は、前記一つ以上のトランジスタのメタル電極配線の上側部レベル上に堆積される、請求項 48 に記載のマイクロ電子機械システム。

【請求項 50】 前記一つ以上の構造層は、前記電極配線の前記上側レベルへ電氣的に接続される接地面を形成する、請求項 49 に記載のマイクロ電子機械システム。

【請求項 51】 マイクロ電子機械システムを形成するための方法であって、
 基板上へ多結晶ゲルマニウムの犠牲層を堆積するステップと、
 前記犠牲層の上へ、 $0 < x < 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の構造層を約 650°C 以下の温度で堆積するステップと、
 少なくとも一部の前記犠牲層を除去するステップと
 を含む方法。

【請求項 52】 前記基板上へ一つ以上のトランジスタを形成するステップを更に含む、請求項 51 に記載の方法。

【請求項 53】 前記一つ以上のトランジスタは、前記犠牲層と構造層が前記基板上へ堆積される前に形成される、請求項 52 に記載の方法。

【請求項 54】 前記犠牲層と構造層は、前記一つ以上のトランジスタの上へ堆積される、請求項 53 に記載の方法。

【請求項 55】 前記構造層は、前記一つ以上のトランジスタの電極配線の上側レベルの上へ堆積される、請求項 53 に記載の方法。

【請求項 56】 前記構造層は接地面を形成する、請求項 51 に記載の方法。

【請求項 57】 マイクロ電子機械システムを形成するための方法であって、

基板上に $0.8 > x > 0.6$ である $\text{Si}_{1-x}\text{Ge}_x$ の接地面層を堆積するステップと、

前記接地面層上に犠牲層を堆積するステップと、

(7)

前記犠牲層の上へ $0 < x \leq 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の構造層を約 650°C 以下の温度で堆積するステップと、

少なくとも一部の前記犠牲層を除去するステップとを含む方法。

(8)

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

関連出願の相互参照

本出願は、1999年1月15日出願の米国特許仮出願第60/116,024号の先願日の特典を請求し、参照して本明細書に組み込む。

【0002】

発明の分野

本発明はマイクロ電子機械システム (MEMS) に関し、特に、構造膜および犠牲膜を用いるマイクロ構造の製造に関する。

【0003】**【発明の背景】**

表面マイクロ機械加工は、犠牲膜の選択的除去による薄膜マイクロ構造の製作である。1980年代以降、低圧化学的気相堆積法 (LPCVD) によって堆積された多結晶シリコン (ポリSi) は、各種用途のための重要なマイクロ構造材料として確立されてきている。普通は、二酸化シリコン (SiO₂) が犠牲層として用いられ、フッ酸 (HF) がポリSiマイクロ機械加工における選択的「リリース」エッチング液として用いられている。例えば内部センサへのポリSiの適用が成功したのは、ポリSi膜の優れた機械的性質のためであり、またポリSiとSiO₂膜用の堆積装置が広く行き渡って利用できるためであって、その両者は集積回路工場では標準的な材料である。

【0004】

表面マイクロ構造とマイクロ電子回路をモジュール方式で一体に製作することは、多くの場合、装置性能とコストの観点から有利である。マイクロ電子産業の成熟および集積回路プロセスの複雑さと精緻さを考えると、MEMSが、アルミニウム (Al) メタライゼーション等の従来のメタライゼーションで電子回路が完成した後で製作できることを要望されることが多い。この「最後にMEMS」の戦略は、ポリSiマイクロ構造では実現できず、なぜなら、ポリSi膜に対する堆積と応力アニール温度が、アルミニウムまたは銅の内部配線にとって余りに

(9)

も高すぎるからであるが、それでもなお、最後にMEMSの戦略が要望されることが多い。

【0005】

従来技術のポリSi集積戦略は、電子回路プロセスを開始する前に、構造膜と犠牲膜の薄膜スタックを製作することである。この「最初にMEMS」のアプローチにはいくつかの実用的に不利な点がある。第一に、高度に調整され、複雑な電子的プロセスが、その前のMEMS堆積、パターン化およびアニールのステップによって逆に悪影響を及ぼされることがある。この理由のため、商業的電子機器会社が、前処理されたウェーハを開始材料として容認する可能性は低い。第2に、ウェーハ表面の平坦度は、マイクロ機械加工された窪みにMEMSを製作することによって、または選択的エピタキシを介して追加のシリコンを成長させることによって達成できるMEMS薄膜スタックの完成後に修復しなければならない。第3に、構造のリリースは電子回路プロセスの最後に発生し、電子回路がフッ酸エッチング液に対して保護されなければならない。最後に、最初にMEMSのアプローチは、MEMSと電子回路が著しい寄生の抵抗や静電容量の原因となり、それによって装置の性能を低下させる電氣的内部配線を用いて互いに隣接して配置されることを必要とする。

【0006】

【課題を解決するための手段】

一態様では、本発明は、基板上にマイクロ電子機械システムを形成するための方法の特徴とする。この方法は、基板上へシリコンゲルマニウムの犠牲層を堆積するステップ；犠牲層の上へシリコンゲルマニウムの構造層を堆積し、ここで犠牲層のゲルマニウム含有量は、構造層のゲルマニウム含有量より多くするステップ；および少なくとも一部の犠牲層を除去するステップを含む。

【0007】

別の態様では、本発明は、マイクロ電子機械システム形成のための方法に向けられる。この方法は、基板上へ酸化シリコンの犠牲層を堆積するステップ；犠牲層の上へ、 $0 < x \leq 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の構造層を約650℃以下の温度で堆積するステップ；および、少なくとも一部の犠牲層を除去するステップを含む。

(10)

【0008】

さらに別の態様では、本発明は、マイクロ電子機械システムを形成するための方法に向けられ、基板上へ多結晶ゲルマニウムの犠牲層を堆積するステップ；犠牲層上へ $0 < x \leq 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の構造層を約 650°C 以下の温度で堆積するステップ；および、少なくとも一部の犠牲層を除去するステップを有している。

【0009】

別の態様では、本発明は、 $0.6 < x < 0.8$ である $\text{Si}_{1-x}\text{Ge}_x$ の接地面層を堆積するステップ；接地面層上へ犠牲層を堆積するステップ；犠牲層上へ $0 < x \leq 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の構造層を約 650°C かそれ以下の温度で堆積するステップ；および、少なくとも一部の犠牲層を除去するステップを有する方法に向けられる。

【0010】

本発明の種々の実施形態は、一つかそれ以上の下記の特徴を含んでいてもよい。本発明方法は、基板上に一つ以上のトランジスタを形成してもよく、犠牲層と構造層が基板上に堆積される前に、その基板上にトランジスタが形成される。トランジスタは銅メタライゼーションまたはAlメタライゼーションを用いて形成してもよい。トランジスタは犠牲層と構造層が基板上に堆積される前に、メタライゼーションせずに形成してもよく、犠牲層と構造層を堆積した後にメタライゼーションする。トランジスタはMOSトランジスタまたはバイポーラトランジスタであってもよい。

【0011】

犠牲層は $\text{Si}_{1-x}\text{Ge}_x$ から構成されてもよく、ここで $0.4 \leq x \leq 1$ である。犠牲層と構造層は約 550°C 以下の温度で堆積されてもよい。構造層のゲルマニウム濃度はその深さに応じて変化してもよい。プロセスは所望の3次元形状を達成するために構造層の部分を除去してもよい。犠牲層は完全に除去してもよい。犠牲層は、それを過酸化水素、水酸化アンモニウムおよび水、またはHFを含む溶液へ曝すことにより除去してもよい。犠牲層をHFへ曝す前にアモルファスシリコンを基板上に堆積してもよい。

(11)

【0012】

別の態様では、本発明はマイクロ電子機械システムに向けられる。このシステムは、基板；基板上に形成される、 $0 < x \leq 1$ である $\text{Si}_{1-x}\text{Ge}_x$ の一つ以上の構造層；および、基板上に形成される一つ以上のトランジスタを含む。

【0013】

マイクロ電子機械システムの種々の実施形態は、一つ以上の下記の特徴を含んでもよい。マイクロ電子機械システムはガラスかシリコンの基板を特徴としてもよい。それは、構造層の下に形成される一つ以上のシリコンゲルマニウムの犠牲層の少なくとも各部を含んでいてもよく、その場合、一つ以上の犠牲層のゲルマニウム含有量は、それぞれの構造層のゲルマニウム含有量よりも大きい。装置はまた、構造層の下に形成される酸化シリコンの一つ以上の犠牲層の少なくとも各部を含んでいてもよい。マイクロ電子機械システムにおける一つ以上のトランジスタは、MOSトランジスタまたはバイポーラトランジスタであってもよい。

【0014】

マイクロ電子機械システムにおける一つ以上の構造層は、一つ以上のトランジスタの上に堆積される。一つ以上の構造層は、一つ以上のトランジスタのメタル内部配線の上側レベルの上に堆積されてもよい。一つ以上の構造層は、電極配線の上側レベルへ電気的に接続される接地面を含む。一つ以上の構造層は、共振器を形成してもよく、あるいは光デバイスへ組み込んでもよい。

【0015】

本発明の一つ以上の実施の詳細を添付図面と下記の説明で述べる。本発明の他の特徴、目的および利点は、説明と図面から、および特許請求の範囲から明らかとなろう。

【0016】

ポリシリコンゲルマニウムを用いる原理的な利点は、LPCVDポリSiよりも著しく低い堆積温度にあり；さらには、ドーパント活性化と残留応力アニールステップがたとえ必要であったとしても、LPCVDポリSiに対するよりも著しく低い温度で処理できる。実際、インシトゥードープされたp型ポリシリコンゲルマニウム（ポリ $\text{Si}_{(1-x)}\text{Ge}_x$ ）は、アニールステップを必要とせず、なぜな

(12)

ら、それが堆積されたままでの抵抗率、残留応力および応力傾斜は、多くのMEMS用途にとって十分に低いからである。インシトゥードープされたp型ポリSi(1-x)Ge_x膜は、堆積速度を最大にし、かつ膜の抵抗率を最小にするという両方から構造層として用いてもよい。結果として、ポリシリコンゲルマニウム（ポリSi(1-x)Ge_x）マイクロ構造は、「最後にMEMS」パラダイムを用いて従来技術のマイクロ電子回路の最上部に直接製作できる。ポリSiGeの最初の層は、電子回路プロセスにおける電極配線のより上側のレベルに直接堆積できる。低い温度にしても性能低下とはならない；すなわち、ポリSi(1-x)Ge_xの固有ダンピングパラメータや破壊ひずみ等の機械的特性は、ポリSiのそれと同一範囲にある。

【0017】

LPCVDのポリSi(1-x)Ge_x膜の別の利点は、マイクロ構造層と同様にそれらを犠牲層に対して用いてもよいということにある。ゲルマニウムやゲルマニウムに富むポリSiGe膜は、少なくとも30%Siを含むポリSiGe膜に関して、リリースエッチング液として過酸化水素（H₂O₂）を用いることによって選択的にエッチングされる。リリースエッチングとしてのHFの除去は、最終ステップを著しく簡略化し、かつプロセスの安全性を高める。過酸化水素は、アルミニウム、酸化物または酸窒化物等のマイクロ電子回路構造の上層を侵さず；結果として、リリースエッチング中に電子回路を保護するための特別なマスキング膜を必要としない。ゲルマニウムに富む膜への過酸化水素の著しい選択性はまた、マイクロ構造層における近接して離間されたエッチングアクセス孔の必要性をなくす。その結果、MEMS設計者は、エッチングアクセス孔が好ましくないマイクロミラーのような用途に対する孔の明いていない平面を作成することができる。

【0018】

さらに別の利点は、最後にMEMSの戦略を可能とするポリSi(1-x)Ge_x膜を用いることによって、設計者は、装置の集積回路部分に対して任意の集積回路（IC）工場を利用でき、なぜなら、如何なる修正もマイクロ電子回路プロセスに必要としないからである。

(13)

【0019】

S i G eは、CMOSデバイスを有するモジュール集積を容易化して例えば、標準的なプロセス手法を用いて、プロセススループットと歩留りを増大し、モールドされたマイクロ構造（HEX S I L）製作を改良し、そして新規デバイス設計を可能にすることによって、MEMS技術に革命を引き起こすことを約束する。これらの改良は、経済的に実行可能であり、なぜなら、LPCVD S i加熱炉は別の入力ガスを加えるだけで簡単にS i G e加熱炉へ転換できるからである。

【0020】

本発明の一つ以上の実施の形態の詳細を添付図面と以下の説明で述べる。本発明の他の特徴、目的および利点は、説明と図面から、および特許請求の範囲から明らかとなろう。

【0021】

種々の図面における同様の参照記号と参照番号は、同様の要素を示す。

【0022】**【発明の実施の形態】**

本発明は、MEMSデバイスを製造するために $0 < x \leq 1$ である $S i_{1-x}G e_x$ 材料の使用に向けられる。本発明は、現状のマイクロ電子回路と併せてMEMS共振器の製造におけるいくつかの代表的な実施の形態、およびプロセスステップの点において説明される。

【0023】

ポリS i G eは、ポリS iと類似の特性を有する半導体合金材料であるが、実質的により低い温度で処理できる。表1に、ポリS iとポリG eの種々の特性の比較を示す。

【0024】**【表1】**

(14)

表 1 : ポリ S i とポリ G e の特性

	ポリ S i	ポリ G e
温度特性 :		
溶融温度 (°C)	1 4 1 5	9 3 7
T _{deposition} (°C)	6 0 0	3 5 0
T _{stress, anneal} (°C)	9 0 0	< 5 5 0
熱膨張 ($10^{-6}/K$)	2 . 6	5 . 8
機械的特性 :		
ヤング率 (G p a)	1 7 3	1 3 2
破壊強度 (G p a)	2 . 6 ± 0 . 3	2 . 2 ± 0 . 4
電気的特性 :		
3 0 0 K でのバンドギャップ (e V)	1 . 1 2	0 . 6 6
電子親和力 (V)	4 . 1 5	4 . 0 0

【 0 0 2 5 】

図 1 A は、並列編成での CMOS トランス抵抗増幅器 1 0 0 およびマイクロ共振器 1 0 5 を含むデバイス 1 2 0 の平面図を示す。共振器 1 0 5 は、構造材料として $0 < x \leq 1$ である p 型 $Si_{1-x}Ge_x$ を用い、犠牲材料として Ge を用いるマイクロ製造装置で製造されたくし型駆動デバイスである。この特別なデバイスでは、 $x = 0.64$ である。共振器のマイクロ構造は、米国特許第 5, 0 2 5, 3 4 6 号、米国特許第 5, 4 9 1, 6 0 4 号、米国特許第 5, 5 3 7, 0 8 3 号、および米国特許第 5, 8 3 9, 0 6 2 号に記載されている。これらの特許はすべて、本発明出願の譲受人へ譲渡されており、引用して本明細書に組み込まれている。

【 0 0 2 6 】

増幅器 1 0 0 は一つ以上のトランジスタを含んでもよい。トランジスタは、MOS またはバイポーラトランジスタであってもよい。トランジスタは、シリコン基板上に形成されてもよい。

【 0 0 2 7 】

図 1 B は、デバイス 1 2 0 の上に縦列編成された増幅器 1 0 0 とマイクロ共振器 1 0 5 を示す。SiGe 膜の低い堆積温度は、マイクロ電子回路完成後の MEMS 構造の堆積を可能にする。従って、共振器 1 0 5 は増幅器 1 0 0 の上に直接

(15)

製造できる。この縦列編成は、図1Aの縦列編成によって固有な内部配線の抵抗と静電容量を減少させながらデバイス性能を強化する。

【0028】

従来の低圧化学的気相堆積法 (LPCVD) 装置を用いて、ゲルマン (GeH_4) およびシラン (SiH_4) またはジシラン (Si_2H_6) の温度分解によりポリ SiGe 膜を等角に堆積することができる。ジシランをシリコン源として用いる膜の堆積は、シランを用いる膜の堆積と比較した場合堆積温度を下げることができる。膜は、約 650°C 以下、約 550°C 以下、または 450°C 以下の温度で堆積してもよい。Si の堆積は Ge の存在により触媒作用が行われ、それにより、プロセスが表面反応により制限される場合、膜の堆積速度は、Ge 含有量増加とともに増大する。従って、Ge 含有量を増加することにより堆積温度を下げることができる。 $50 \text{ \AA}/\text{分}$ を超える堆積速度が、Ge 含有量 50% を超える膜に対しては 475°C 未満の温度で、純 Ge に対しては 325°C を下回る温度で達成できる。

【0029】

構造層と犠牲層の Ge 含有量は約 30 から 100% までの範囲を取ることができる。しかし以下に説明するように、犠牲 $\text{Si}_{1-x}\text{Ge}_x$ 層の Ge 含有量は、構造層におけるそれよりも大きくする必要がある。

【0030】

ポリ $\text{Si}_{1-x}\text{Ge}_x$ 膜は、堆積中のドーパントのインシトゥまたはイオン注入によるエクストゥ、または拡散とそれに続く熱アニールの結合によって深くドーピングできる。p 型ポリ $\text{Si}_{1-x}\text{Ge}_x$ 膜の抵抗率は、キャリア移動とドーパント活性率が増大するため概して Ge 含有量とともに減少する。しかし、n 型膜の抵抗率は、ドーパント活性率における低下のために約 40% を超える Ge 含有量とともに増大する。

【0031】

ポリ $\text{Si}_{1-x}\text{Ge}_x$ 膜は、十分に確立されたウェットエッチまたはドライエッチ手法によりパターン化できる。酸化ゲルマニウムは水溶性であり、従って Ge に富むポリ $\text{Si}_{1-x}\text{Ge}_x$ は、 H_2O_2 等の酸化性溶液内でエッチングされる。Ge は

(16)

、HF等の非酸化性の酸、および塩基に侵されない。約60%を超えるGe含有量の $\text{Si}_{1-x}\text{Ge}_x$ 膜は、標準RCAのSC1クリーンバス（1:1:5 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ ）中で急速にエッチングされる。この溶液を用いて、Ge含有量とともに指数的に増加する（Siと SiO_2 に対する）選択性を有するドーパまたは非ドーパされた $\text{Si}_{1-x}\text{Ge}_x$ 膜の両方をエッチングできる。ポリ $\text{Si}_{1-x}\text{Ge}_x$ 膜は、普通、ウェット洗浄プロセスにおいて用いられる穏やかな酸化性または非酸化性の溶液によって著しく影響されることはない。ポリ $\text{Si}_{1-x}\text{Ge}_x$ は、フッ素ベースのプラズマ中でエッチングされる。ポリ $\text{Si}_{1-x}\text{Ge}_x$ 膜のプラズマエッチング速度は、Ge原子のガス化速度が大きくなるためにGe含有量増加とともに増加する。高い $\text{Si}_{1-x}\text{Ge}_x$ 対Siエッチング速度比は、反応性イオンエッチングを用いて容易に達成できる。

【0032】

MEMS製造プロセスのための低い温度計画を維持するために、高出力タングステンハロゲンランプ照射による急速温度アニール（RTA）を採用して、ポリ $\text{Si}_{1-x}\text{Ge}_x$ 膜の抵抗率を下げることができる。GeはSiよりも低いエネルギーバンドギャップを有しているので、Siよりもさらに高い効率でランプ照射を吸収する。そのより高い吸収係数は、アニール中のGeの選択的加熱をもたらす。この特徴を利用して、ポリ $\text{Si}_{1-x}\text{Ge}_x$ またはポリGeのマイクロ構造膜に対して、別の方法の加熱炉アニールで可能な温度より高いアニール温度を実現できる。この選択的なアニール現象は、MEMS製造に必要な温度計画を下げることに於けるポリ $\text{Si}_{1-x}\text{Ge}_x$ またはポリGeマイクロ構造膜の独特な利点である。

【0033】

図2～図7を参照すると、例えば増幅器100等の従来のCMOS回路を持つ、例えばマイクロ共振器105等の主流のマイクロ構造のモジュール集積化のためのプロセスステップが説明される。開始基板110（図2）は、従来のCMOSまたはBiCMOSトランジスタプロセスを用いて製造されるNMOS210等のマイクロ電子回路を含んでいる。メタル内部配線215は、AlまたはAl合金で形成してもよい。代替として、CuまたはCu合金、または他の標準的な金属により形成されてもよい。内部配線215と基板110の間にTi/TiN

(17)

(図示しない) 等のバリアメタルがあってもよい。内部配線215は、深くドーピングされた p^+ 型 (P^+) 多結晶シリコン (ポリSi) ストラップ205へ接続される。

【0034】

これらの図は、すべての層が明瞭に見えるよう正しい倍率にしていない。いくつかのメタル内部配線層が可能であるが、簡略化のために一つだけが示されている。電子回路は、低い温度で堆積される二酸化シリコン (LTO) 225で不動態化される。LTO 225は化学機械的に研磨されて、平面を達成する。

【0035】

図3を参照すると、バイア305は、LTO 225を貫いて p^+ ポリSi接続ストラップ205へ、従来のリソグラフィとエッチングステップを用いて切り込まれている。別の実施の形態では、バイア305は、内部配線215まで下がって、 p^+ ポリSi接続ストラップ205の必要性をなくし、内部配線の抵抗を減らす。

【0036】

次いで、接地面として作用する p^+ ポリSi_{1-x}Ge_xの層310が、堆積され、パターン化される。一実施の形態では、インシトゥドーピング膜が用いられる。代替として、接地面310は、非ドーピング膜を堆積し、次いでそれを当該技術で周知のイオン注入または拡散プロセスによりドーピングして形成してもよい。 $0.8 > x > 0.6$ である p^+ ポリSi_{1-x}Ge_x材料を接地面310として用いることができ、それは、(メタライゼーション電子回路との互換性のため) 低いプロセス温度を可能にするようGe含有量が充分高くなければならないからであるが、しかし、接地面が最終的なマイクロ構造リリースエッチングステップに耐えることができるよう高すぎてもいけない。

【0037】

堆積と予備堆積の種々の条件が、このステップ、およびこの詳細な説明内の別の箇所で説明する他のステップに対して可能である。様々な堆積条件が、説明を目的とするだけのために述べられていることは明白である。他の可能な堆積条件がある一方で、 p^+ ポリSi_{1-x}Ge_x接地面310のために下記の堆積条件が提

(18)

供される：毎分 200 標準立方センチメートル (sccm) Si_2H_6 を、圧力 300 mT、温度 425℃ で 2 分間流すことによって 5 ナノメートル未満のアモルファス Si 層 (図示しない) を予備堆積することである。これは、 p^+ ポリ $\text{Si}_{1-x}\text{Ge}_x$ 接地面が LTO 225 の上に核を作ることができるのに必要である。最終的な接地面の厚さはほぼ 500 ナノメートルであり、それは、85 sccm SiH_4 、90 sccm GeH_4 、および 50 sccm B ドーパントソースガス (10% B_2H_6 と 90% SiH_4) を 600 mT、450℃ で 30 分間流すことによって堆積される。

【0038】

図 4 は、次いでポリ Ge の犠牲層 405 が堆積され、マイクロ構造の構造層が固定されるべき領域 410 において、 p^+ ポリ $\text{Si}_{1-x}\text{Ge}_x$ 接地面 310 まで下に選択的にエッチングされることを示す。内部配線 215 に関する領域 410 の配置は、図示を目的とするのみであって、内部配線のもっと右または左であることができる。犠牲層 405 の堆積条件は次の通りである：予備堆積：5 分間、300 mT、375℃、200 sccm Si_2H_6 であり；堆積：165 分間、300 mT、375℃、220 sccm の GeH_4 である。

【0039】

これらの堆積条件は 2.7 ミクロン厚の犠牲層 405 をもたらす。予備堆積が再び、LTO 225 上に堆積できるようにポリ Ge に対して必要である。ポリ Ge の代わりにポリ $\text{Si}_{1-x}\text{Ge}_x$ を層 405 の犠牲材料として有することが可能である。しかし、犠牲のポリ $\text{Si}_{1-x}\text{Ge}_x$ は、構造のポリ $\text{Si}_{1-x}\text{Ge}_x$ に対する x よりも大きな x を持たなければならない；すなわち、犠牲材料は構造層よりもより高い Ge 含有量を持たなければならない。これは、より高い Ge 含有量を有する材料の方が、より低い Ge 含有量の材料よりも酸化性溶液中でより早くエッチングされる (犠牲となる) からである。

【0040】

次に、図 5 において、 p^+ ポリ $\text{Si}_{1-x}\text{Ge}_x$ の構造層 505 が堆積されパターン化される。 p^+ ポリ $\text{Si}_{1-x}\text{Ge}_x$ の層 505 の堆積条件は、次の通りである：予備堆積：2 分間、300 mT、425℃、200 sccm Si_2H_6 であり；堆

(19)

積：180分間、600mT、450℃、85sccmSiH₄、90sccmGeH₄、および50sccmBドーパントソースガス（10%B₂H₆と90%SiH₄）である。

【0041】

堆積された構造層505は3ミクロン厚の膜である。再び予備堆積が、構造層505をSiO₂上に形成することを可能にする。如何なるSiO₂表面もそうではないが、ポリSi_{1-x}Ge_xは、薄い自然な酸化層（図示しない）を形成できる。

【0042】

図6を参照すると、次に開口部610がパターン化されて、犠牲ポリSi_{1-x}Ge_x層405、接地面310、および層225を貫いてエッチングされる。このステップはメタルボンドパッド605を曝露する。従来の表面マイクロ機械加工技術で使用する標準的なリリースエッチング液は、フッ酸（HF）溶液であり、これはメタルを侵し、故に、マイクロ構造のリリースの前にボンドパッド領域を明瞭にするのが困難である。犠牲材料としてのゲルマニウムの使用は、如何なる損傷を与える危険もなくメタルボンドパッドを曝露することが可能となり、なぜならGeは、メタルに対して良性の酸化性の溶液中で容易に除去できるからである。これはパッケージプロセスの信頼性を単純化し改善する。

【0043】

図7において、犠牲ポリGe層405は次いで、H₂O₂等の酸化性溶液を用いてエッチング除去される。最後に基板110はリンスされ乾燥される。構造層505と接地面310の間のスティクションを防ぐための予防が必要となるかもしれない。このプロセスが、図1Bと図7に示すように、MEMS構造が電子回路の上面に直接製造されるのを可能にするということに留意されたい。これは長い内部配線に基づく寄生の抵抗と静電容量を減少させ、また面積を節約することでコストを低下させる。

【0044】

このプロセスの流れは、標準的な電子回路の上にMEMS構造を製造する場合に直接適用でき、その場合、p型ポリSi層がデバイス間の内部配線を形成する

(20)

のに利用できる。サブ0.25ミクロンCMOS技術は普通、選択的にドーパされるポリSi層（nチャネルデバイス領域では n^+ 、pチャネルデバイス領域では p^+ ）を使用し、それにより、 p^+ ポリSiは、MEMSとCMOSデバイス間の内部配線のストラップを形成するために容易に利用できるであろうということに注目すべきである。代替として、 p^+ ポリ $Si_{1-x}Ge_x$ 接地面は、中継のポリSiストラップを必要とせずにメタル線に直接接続できる。

【0045】

犠牲層としてのGeに富むポリSiGeの使用はいくつかの利点を有するが、MEMSを最後に集積する戦略はまた、酸化犠牲層を用いて実現できる。この場合、構造層としてn型またはp型ポリSiGeを用いることが可能である。HFは酸化犠牲層のリリースエッチング液であるので、リリース中のHFによる侵食から電子回路構造を保護することが必要である。ピンホールのない層は、低い温度（ $<450^{\circ}\text{C}$ ）で堆積でき、性能劣化せずにHFへ長時間曝露するのに耐えることができることが必要である。更に、膜は高い導電性を持つことはできず、あるいはそれはポリ $Si_{1-x}Ge_x$ マイクロ構造を短絡するであろう。アモルファスSiはこの用途に有用な膜であると考えられる。

【0046】

図8～図13は、マイクロ共振器105等のMEMSデバイスを、増幅器100等のマイクロ電子回路の上面に、犠牲材料として酸化物を用いて直接製造する代替のプロセスを説明する。図8において、開始基板112は、従来のCMOSまたはBiCMOSトランジスタプロセスを用いて製造されるNMOS212等のマイクロ電子回路を含む。メタル内部配線217は、Al、Cu、Al合金、Cu合金または他の標準的な金属で形成してもよい。ここでは内部配線217はAlで作られている。内部配線217と基板112の間にはTi/TiN（図示しない）等のバリアメタルがあってもよい。この実施の形態においては、内部配線217に接続されるストラップ805は、深くドーパされたn型（ n^+ ）多結晶シリコン（ポリSi）材料である。

【0047】

これらの図は、すべての層が明瞭に見えるよう正しい倍率にしていない。いく

(21)

つかのメタル内部配線層が可能であるが、簡略化のために一つだけが表示されている。電子回路は、低い温度で堆積される二酸化シリコン (LTO) 227で不動態化される。

【0048】

図9に示すように、アモルファスSi (α -Si) 層905が次いで堆積される。この α -Siは、フッ酸 (HF) に抵抗があり、HFからNMOS 212等の電子回路を保護することを実証した。次いで別のLTO層910が、後のエッチングステップでエッチング停止層として働くよう堆積される。このLTO層910は、他の実施の形態においては除外できる。

【0049】

590 Å厚の層905の堆積条件は、500 mTでSi₂H₆を流す2つのステップのLPCVDプロセスを含む。ステップ1は450℃で6分間処理され、ステップ2は410℃で40分間処理される。

【0050】

図10において、次にバイア1000が、従来のリソグラフィとエッチングステップを用いて、多層スタック層227、905および910を貫いて形成される。バイア1000は、n⁺ポリSi接続ストラップ805へ降下する。別の実施の形態では、バイアは代わりに内部配線217へ降下し、n⁺ポリSi接続ストラップ805は除去されて内部配線の抵抗を減少させる。

【0051】

次にn⁺ポリGe層1010が堆積される。このn⁺ポリGe層は接地面層である。インシトゥードープ膜が用いられたが、接地面層1010は、非ドープ膜を堆積し、次いで当該技術で周知のイオン注入または拡散プロセスによりドープして形成してもよい。n⁺またはp⁺ポリGeの代わりに、 $x < 1$ のn⁺またはp⁺ポリSi_{1-x}Ge_xを接地面層に対して用いることができるということに注目すべきである。接地面層は、従来のリソグラフィとエッチングプロセスを用いてパターン化される。

【0052】

3100 Å厚のn⁺ポリGe接地面層1010の堆積条件は、400℃、30

(22)

0 mTで処理されるLPCVDプロセスを含み、予備堆積：200 s c c m S i₂H₆を1分間；堆積：100 s c c m G e H₄および10 s c c m 50% P H₃/50% S i H₄を50分間である。

【0053】

次に、図11に示すように、LTOの犠牲層1100が堆積される。LTO層1100は化学機械的に研磨されて、平坦な表面を与える。LTO層1100は次いで、構造層が接地面1010に（例えば、図の右側に）固定され接続されるべき領域1110で、n⁺ポリGe接地面まで下にエッチングされる。

【0054】

図12に図示するように、n⁺ポリGe 1200の構造層が次いで堆積される。インシトゥドープ膜が用いられ得るが、構造層1200は、非ドープ膜を堆積し、次いで当該技術で周知のイオン注入または拡散によりドープして形成してもよい。再度、n⁺またはp⁺ポリGeの代わりに、x<1のn⁺またはp⁺ポリSi_{1-x}Ge_xを構造層1200に用いることができるということに注目すべきである。構造層1200は、従来のリソグラフィとエッチングプロセスを用いてパターン化される。

【0055】

2. 2ミクロン厚のn⁺ポリGe構造層1200を形成する堆積条件は、400℃、300 mTで処理するLPCVDプロセスを含み、予備堆積：200 s c c m S i₂H₆を1分間；堆積：100 s c c m G e H₄および10 s c c m 50% P H₃/50% S i H₄を4時間と45分間である。

【0056】

図13を参照すると、デバイスは次に、n⁺ポリGe層1200の抵抗を下げるために窒素（N₂）環境において550℃のRTAで30秒間アニールされる。犠牲LTO 1100は次いで、HFを含む溶液を用いてエッチング除去される。最後に基板112は、水、次いでメタノールでリンスされ、空気乾燥される。普通は、構造層1200および接地面層1010の間の貼り付きが乾燥プロセス中に発生し、特別なステップがこの問題を回避するために必要となる。ポリGe構造層1200はポリGe接地面層1010へ貼り付かないことが見出されている。

(23)

る。ポリ Ge のこの有利な低粘着特性はまた、 $x < 1$ のポリ $\text{Si}_{1-x}\text{Ge}_x$ についても存在する。このプロセスが、図 13 に図示したように電子回路の上面に直接 MEMS 構造を製造することを可能にすることに留意されたい。これは長い内部配線に基づく寄生の抵抗と静電容量を減少させ、また面積を節約することでコストを低下させる。

【0057】

このプロセスの流れは、標準的な電子回路の上に MEMS 構造を製造することに直接適用でき、この場合、 n^+ ポリ Si 層は、デバイス間の内部配線を形成するために利用できる。また、構造層に深くドーピングされた p 型 (p^+) ポリ $\text{Si}_{1-x}\text{Ge}_x$ を用いることも可能である。その場合、中継のポリ Si ストラップを必要とせず、 p^+ ポリ Si 内部配線ストラップを用いることができるか、 p^+ ポリ $\text{Si}_{1-x}\text{Ge}_x$ 接地面を直接メタル線に接続できるかのどちらかである。

【0058】

上記プロセスの変形として、基板上のトランジスタは、マイクロ構造用の犠牲層と構造層を形成する前に、メタライゼーションせずに形成してもよい。トランジスタは次いで、犠牲層と構造層を形成した後でメタライゼーションしてもよい。しかし、この交互に置き換えた製造戦略は、図 2～図 13 に説明した電子回路の後でモジュール化するアプローチの製造利点を有さない。

【0059】

集積化されたポリ Ge 共振器と標準的な CMOS 増幅器の周波数応答を図 14 に示す。接地面とシャトルは 50 V でバイアスした。駆動信号は 7 V_{p-p} の AC 信号であった。デバイスは空気中で試験され、共振器は、Q 45 と、共振周波数 14.05 kHz を有していた。周波数応答はデバイスが完全に機能していることを示している。

【0060】

単一層の内部配線層は図 2～図 7、および図 8～図 15 のプロセスに示されているが、図 15 は、MEMS 構造と電子回路の間の短く、良くシールドされた縦の内部配線の設計が可能な最新の CMOS デバイスで利用できるいくつかのメタル内部配線層を図示している。マイクロ共振器等の MEMS 構造 1500 は、5

(24)

つのレベルのメタル内部配線1550の上に直接製造される。図示のように、マイクロ共振器は駆動電極1505、音叉共振器1510、および検出電極1515を含む。5レベルのメタル内部配線1550は、共振器1510へのDCバイアス1520、および、駆動電極1505への内部配線1555を保護するシールド1525と1530を含む。内部配線1550はまた、検出電極1515への内部配線1545を保護するシールド1540と1535を含む。集積化されたMEMS1500は製造に対して安価であり、なぜなら特殊で高価な電子回路プロセスを必要とせず、MEMS構造の追加が型のサイズを増大させないからである。最後に、複数の構造層への拡張が、最初にMEMSを集積する戦略の場合よりも非常に容易であり、なぜなら、MEMS膜スタックの厚さの増加が電子回路プロセスに影響を及ぼさないからである。

【0061】

いくつかの犠牲材料（ SiO_2 、 Ge に富む SiGe 、および Si に富む SiGe ）の効能は、従属出願として譲受人へ譲渡され、引用によって本明細書に組み込む米国特許第5,660,680号に開示された種類のHEXSiL構造等の他のデバイスに対する異なる設計オプションを提供する。図16に示すように、 SiGe のHEXSiL構造1615は、 SiO_2 層1610および Ge 層1605の2つの犠牲層を用いて Si 型1620中で形成される。プロセス中の異なる時間での異なる犠牲層のエッチング能力は、種々の設計オプションを提供する。例えば、 SiO_2 層1610の温度膨張係数は、 Si 型1620のそれと大きく異なり、それにより堆積後に型を冷却するとクラックが発生することがある。HFエッチング溶液はまた、繰り返しの使用で型に損傷を与える。 Ge に富む SiGe および SiO_2 の層は、犠牲材料の温度膨張係数を Si 型のそれと一致させるのに用いられる。また、 $\text{H}_2\text{O}_2 : \text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 1 : 5$ 溶液は、約70℃で泡立つので、型1620からモールドされた構造を取り出すのを容易にさせる。この溶液もまた型に損傷を与えない。

【0062】

加えて、 SiGe は、新規のデバイス設計を可能にする独特な特性を有する。 Si とは違って、 Ge は、通信用途に関係する赤外線波長の波長で反射性である。 Ge

(25)

Ge の反射性は、赤外光と可視光の状況における波長でより高い。光スイッチと投影型テレビジョンの用途では、反射率を改善するコーティングなしで Ge の反射体を用いることができよう。かかるデバイスはガラス基板上に製造されてもよい。SiGe の低いプロセス温度は、低い温度の材料を用いることを可能にする。比較的厚い層は、プロセス中のウェーハの反りに対して関心を払わずに製造できる。Ge 濃度に傾斜をつけることにより、層構造の 3 次元彫刻が可能となるだろう。応力、ヤング率、密度および導電率は、Ge 濃度を変化させることによって逃えることができる。

【0063】

本発明のいくつかの実施の形態を説明してきた。それにもかかわらず、種々の修正は、本発明の精神と通用範囲から逸脱することなく行われてもよい。従って、他の実施の形態は前記特許の請求の範囲の通用範囲内にある。

【図面の簡単な説明】

【図 1 A】

MEMS 共振器と、並列に作製されたマイクロ電子増幅器の平面図である。

【図 1 B】

マイクロ電子増幅器の上に作製された MEMS 共振器の平面図である。

【図 2】

図 1 B の共振器と増幅器の製造におけるステップを示す断面図である。

【図 3】

図 1 B の共振器と増幅器の製造におけるステップを示す断面図である。

【図 4】

図 1 B の共振器と増幅器の製造におけるステップを示す断面図である。

【図 5】

図 1 B の共振器と増幅器の製造におけるステップを示す断面図である。

【図 6】

図 1 B の共振器と増幅器の製造におけるステップを示す断面図である。

【図 7】

図 1 B の共振器と増幅器の製造におけるステップを示す断面図である。

(26)

【図 8】

図 1 B の共振器と増幅器の製造における代替のステップを示す断面図である。

【図 9】

図 1 B の共振器と増幅器の製造における代替のステップを示す断面図である。

【図 1 0】

図 1 B の共振器と増幅器の製造における代替のステップを示す断面図である。

【図 1 1】

図 1 B の共振器と増幅器の製造における代替のステップを示す断面図である。

【図 1 2】

図 1 B の共振器と増幅器の製造における代替のステップを示す断面図である。

【図 1 3】

図 1 B の共振器と増幅器の製造における代替のステップを示す断面図である。

【図 1 4】

図 1 A のようなマイクロ共振器と CMOS 増幅器の周波数応答を説明する線図である。

【図 1 5】

5 レベルの CMOS デバイスの上に製造された共振器の断面図である。

【図 1 6】

犠牲層として酸化シリコンとゲルマニウムを有する HEX S I L 構造の断面図である。

【符号の説明】

1 0 0	トランス抵抗増幅器
1 0 5	マイクロ共振器
1 1 0	基板
1 1 2	基板
1 2 0	デバイス
2 0 5	接続ストラップ
2 1 5	メタル内部配線
2 1 7	メタル内部配線

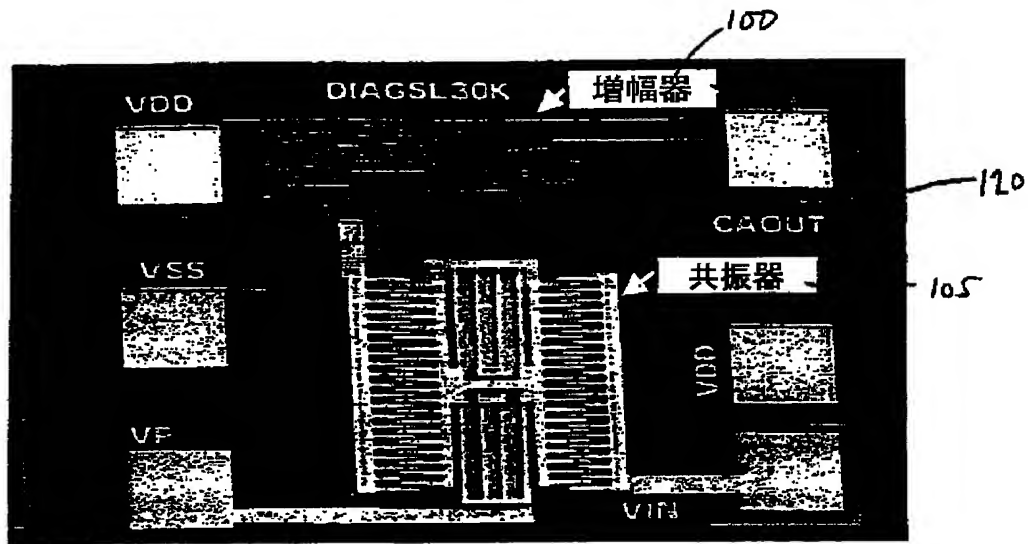
(27)

2 2 5	L T O層
2 2 7	多層スタック層
3 0 5	バイア
3 1 0	接地面
4 0 5	犠牲層
4 1 0	領域
5 0 5	ポリ S i _{1-x} G e _x 構造層
6 0 5	メタルボンドパッド
6 1 0	開口部
8 0 5	接続ストラップ
1 0 0 0	バイア
1 0 1 0	接地面層
1 1 0 0	犠牲層
1 1 1 0	領域
1 2 0 0	ポリ G e 構造層
1 5 0 0	MEMS構造
1 5 0 5	駆動電極
1 5 1 0	音叉共振器
1 5 1 5	検出電極
1 5 2 0	D Cバイアス
1 5 2 5	シールド
1 5 3 0	シールド
1 5 3 5	シールド
1 5 4 0	シールド
1 5 4 5	内部配線
1 5 5 0	5 レベルメタル内部配線
1 5 5 5	内部配線
1 6 0 5	G e 層
1 6 1 0	S i O ₂ 層

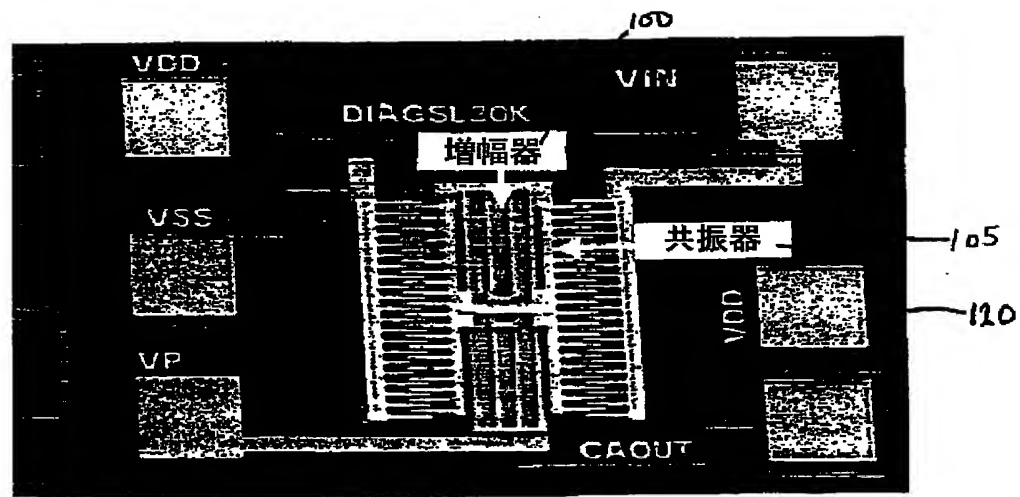
(28)

1615 HEXSIL構造
1620 モールド

【図1A】

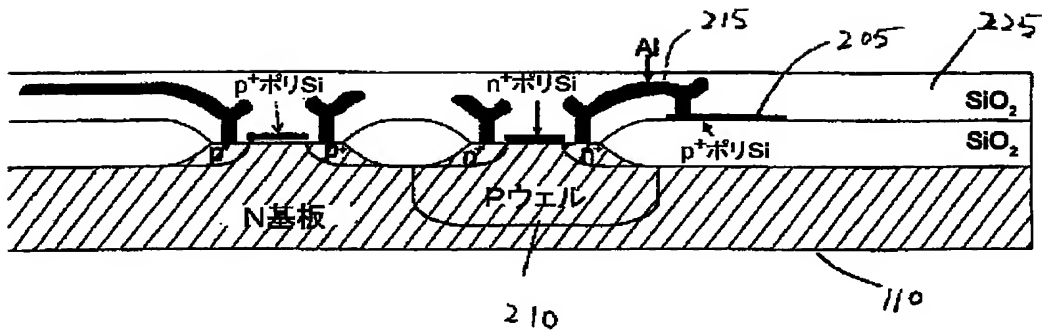


【図1B】

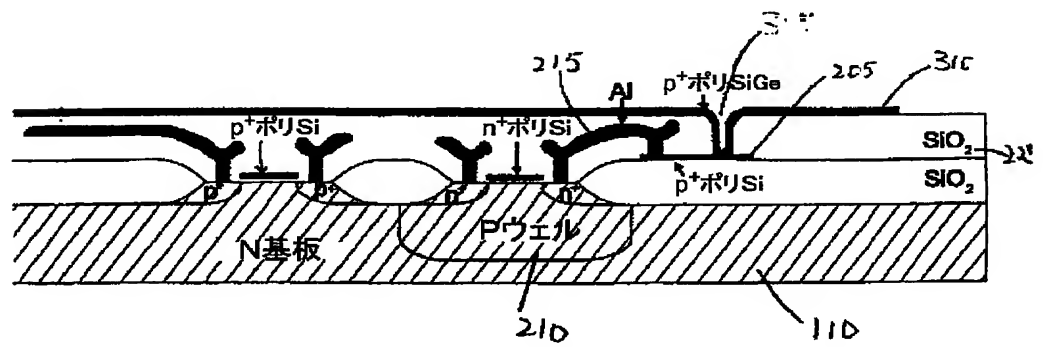


(29)

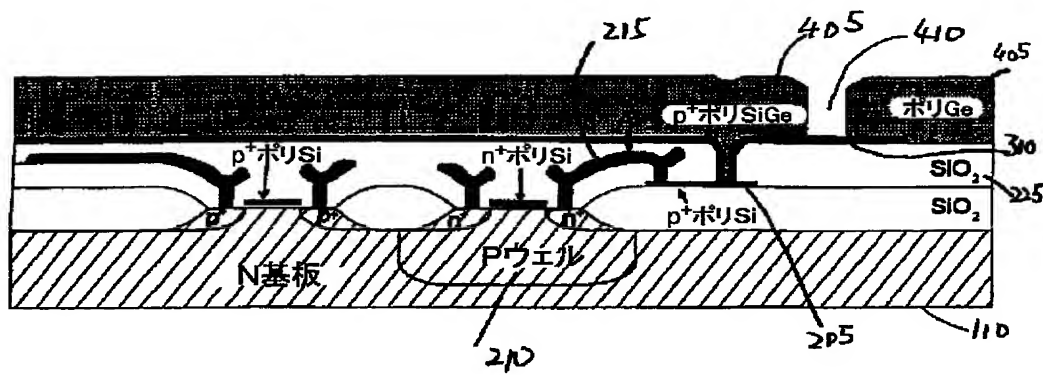
【図 2】



【図 3】



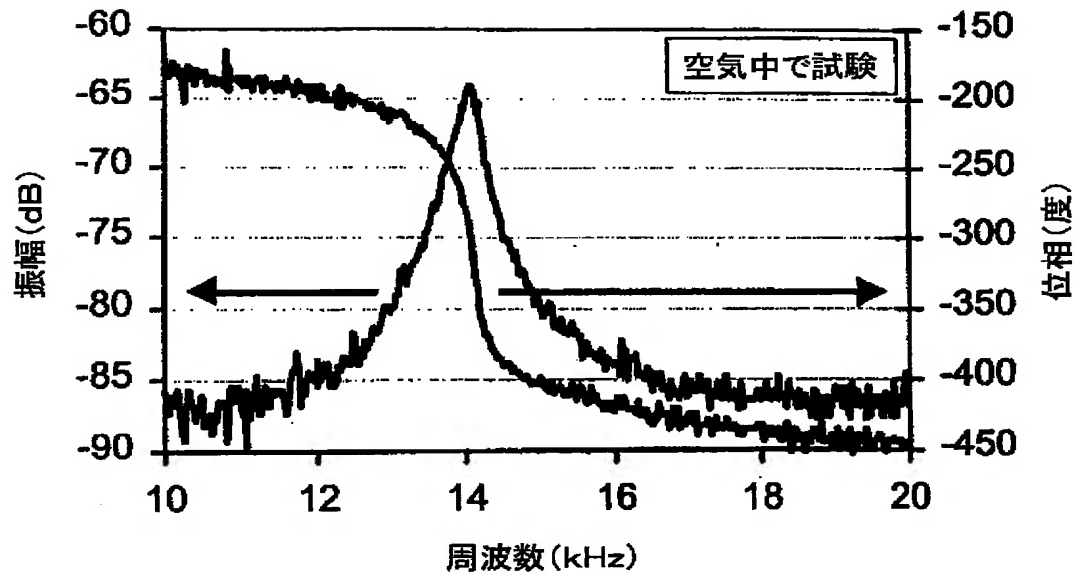
【図 4】



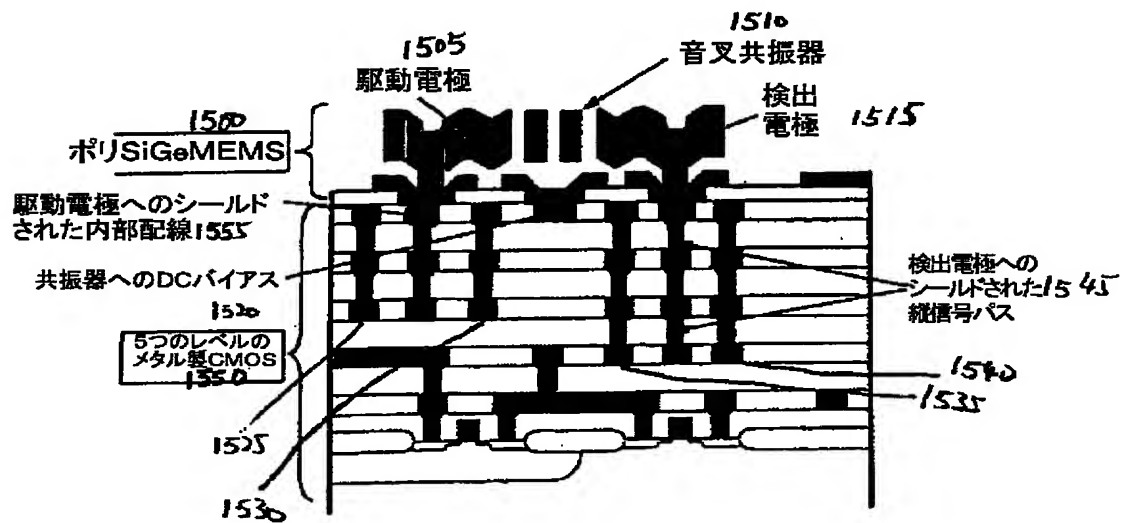
[illegible]

(33)

【図 14】

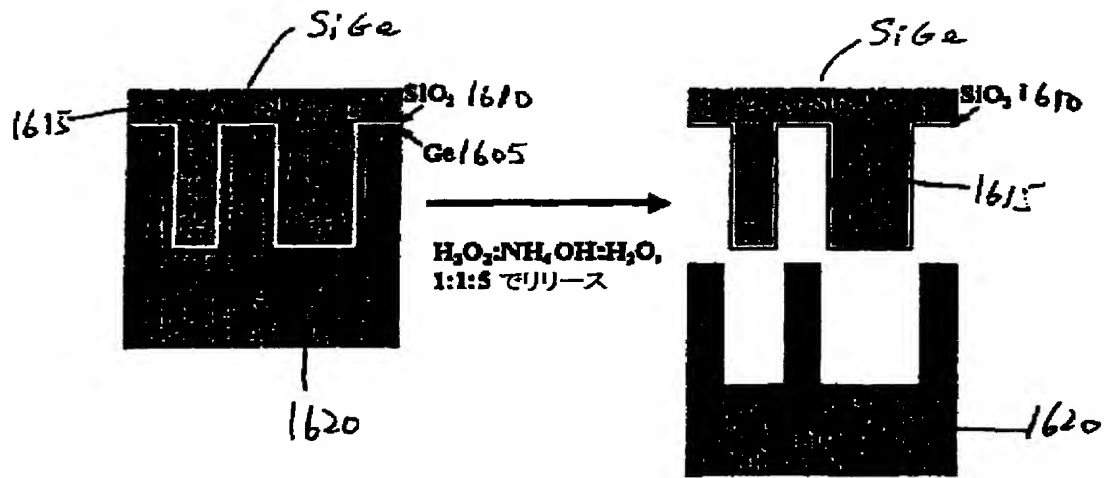


【図 15】



(34)

【図16】

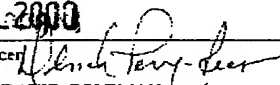


(35)

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US00/00964

A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 31/0312; H01L 29/73; H01L 08/227; C25D 5/02 US CL : 205/118; 257/183; 257/119; 438/94; 438/752 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 205/118; 257/183; 257/119; 438/94; 438/752 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Journal of Microelectromechanical Systems Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) DIALOG		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Sedky et al., Structural and Mechanical Properties of Polycrystalline Silicon Germanium for Micromachining Applications, December 1998, Vol. 7, No. 4, pages 365-372.	1-36 & 51-57
Y	US 5,190,637 A (Guckel) 02 March 1993 (02.03.1993), FIG. 15	1-36 & 51-57
A	US 5,440,152 A (Yamazaki) 08 August 1995 (08.08.1995), FIG. 8, col. 9, lines 14-44.	1-36 & 51-57
A, E	US 6,064,081 A (Robinson et al.) 16 May 2000 (16.05.2000), FIG. 15	1, 19 & 51
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "G" document member of the same patent family
Date of the actual completion of the international search 16 JUNE 2000		Date of mailing of the international search report 25 JUL 2000
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer:  WILLIAM DAVID COLEMAN Telephone No. (703) 305-0004

Form PCT/ISA/210 (second sheet) (July 1998)*

(36)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US00/00964

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Please See Extra Sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by Claims Nos.:
1-36 & 51-57

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

(37)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US00/00964

BOX II. OBSERVATIONS WHERE UNITY OF INVENTION WAS LACKING

This ISA found multiple inventions as follows:

This application contains the following inventions or groups of inventions which are not so linked as to form a single inventive concept under PCT Rule 13.1. In order for all inventions to be searched, the appropriate additional search fees must be paid.

Group I, claim(s) 1-36 AND 51-57, drawn to METHOD OF MANUFACTURE A SEMICONDUCTOR.

Group II, claim(s) 37-50, drawn to SEMICONDUCTOR DEVICE.

The inventions listed as Groups I, CLAIMS 1-37 AND 51-57 do not relate to a single inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons: Claims 1-36 and 51-57 are to a process and claims 37-50 are to a semiconductor device. The method of manufacturing requires a sacrificial silicon germanium layer while the device does not require a sacrificial layer.

The Examiner called the Attorney to offer the opportunity to pay the additional fees. The Attorney elected not to pay the additional fees.

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZW

(72)発明者 キング, ツーイエ

アメリカ合衆国, カリフォルニア州,
バークレイ, コーリー ホール 567

Fターム(参考) 5F033 HH03 HH08 HH11 JJ03 JJ08
KK01 KK04 LL04 PP03 PP09
QQ25 RR30 XX23
5F048 AC03 BF01 BF02 BF07 BG12

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

Cross-reference of related application This application charges the United States patent provisional application 60th of application / privilege of the prior day of No. 116,024 on January 15, 1999, refers to it, and is included in this specification.

[0002]

Field of an invention Especially this invention relates to manufacture of the micro structure using a structure film and a sacrificial film about a micro electronic machine system (MEMS).

[0003]

[Background of the Invention]

Surface micro machining is manufacture of the thin film micro structure by the selective elimination of a sacrificial film. The polycrystalline silicon (poly Si) deposited by low-pressure modified chemical vapor deposition (LPCVD) has been established as an important micro structural material for a various application after the 1980s. Diacid-ized silicon (SiO_2) is used as a sacrifice layer, and fluoric acid (HF) is usually used as an alternative "release" etching reagent in poly Si micro machining. For example, application of poly Si to an internal sensor was successful because [of the mechanical properties which were excellent in the poly Si film].

It is because the deposition apparatus for poly Si and SiO_2 films spreads widely and it can use, and the both are standard materials at an integrated circuit factory.

[0004]

In many cases, it is advantageous from a viewpoint of device performance and cost to

manufacture surface micro structure and a micro electronic circuit to one with modular architecture. If minuteness is considered to be maturation of micro electronic industry, and the complexity of an integrated circuit process, to be able to manufacture, after an electronic circuit is completed by the metallization of the former [MEMS], such as aluminum (aluminum) metallization, will be demanded in many cases. This strategy of "being MEMS to the last" is unrealizable with poly Si micro structure, because although the deposition to a poly Si film and stress annealing temperature are because it is too high for the internal wiring of aluminum or copper, in addition, finally, the strategy of MEMS is still demanded in many cases.

[0005]

The poly Si accumulation strategy of conventional technology is manufacturing the thin film stack of a structure film and a sacrificial film, before starting an electronic circuit process. There is a disadvantageous point in this approach of "being MEMS to the beginning" practical [some]. In the first place, it is adjusted highly, and a complicated electronic process has an adverse effect it have conversely by the step of the previous MEMS deposition, patternizing, and annealing. A possibility that a commercial electronics corporation will admit the pretreated wafer as a start material is low because of this reason. The display flatness of a wafer surface must be restored [2nd] after completion of the MEMS thin film stack which can be attained manufacturing MEMS to the hollow by which micro machining was carried out, or by growing up additional silicon via alternative epitaxy. The release of structure is generated at the last of an electronic circuit process, and an electronic circuit must be protected [3rd] against a fluoric acid etching reagent. It needs for the approach of MEMS to adjoin the beginning mutually finally using the electric internal wiring to which it becomes MEMS, and resistance of parasitism with a remarkable electronic circuit and the cause of electric capacity, and the performance of a device is reduced by it, and to be arranged.

[0006]

[Means for Solving the Problem]

In one mode, this invention is characterized by a method for forming a micro electronic machine system on a substrate. A step at which this method deposits a sacrifice layer of silicon germanium on up to a substrate; Deposit a structure layer of silicon germanium on up to a sacrifice layer, and here germanium content of a sacrifice layer, A step which removes step; and at least some sacrifice layers to increase from germanium content of a structure layer is included.

[0007]

This invention is turned to a method for micro electronic machine system formation in another mode. A step at which this method deposits a sacrifice layer of silicon oxide on up to a substrate; step; which deposits on up to a sacrifice layer a structure layer of $\text{Si}_{1-x}\text{germanium}_x$ which is $0 < x \leq 1$ at temperature of about 650 °C or less, and a step which removes at least

some sacrifice layers are included.

[0008]

This invention is turned to a method for forming a micro electronic machine system in another mode, A step which deposits a sacrifice layer of polycrystal germanium on up to a substrate; it has step; which deposits on up to a sacrifice layer a structure layer of $\text{Si}_{1-x}\text{germanium}_x$ which is $0 < x \leq 1$ at temperature of about 650 ** or less, and a step which removes at least some sacrifice layers.

[0009]

In another mode, this invention, step; which deposits a sidewall layer of $\text{Si}_{1-x}\text{germanium}_x$ which is $0.6 < x < 0.8$ -- step; which deposits a sacrifice layer on up to a sidewall layer -- step; which deposits on up to a sacrifice layer a structure layer of $\text{Si}_{1-x}\text{germanium}_x$ which is $0 < x \leq 1$ at temperature not more than about 650 ** or it. And it is turned to a method of having a step which removes at least some sacrifice layers.

[0010]

Various embodiments of this invention may include the following feature beyond one or it. Before this invention method may form one or more transistors on a substrate and a sacrifice layer and a structure layer accumulate on a substrate, a transistor is formed on the substrate. A transistor may be formed using copper metallization or aluminum metallization. Before a sacrifice layer and a structure layer accumulate on a substrate, a transistor may be formed without carrying out metallization, and after it deposits a sacrifice layer and a structure layer, metallization of it is carried out. A transistor may be a MOS transistor or a bipolar transistor.

[0011]

A sacrifice layer may comprise $\text{Si}_{1-x}\text{germanium}_x$ and is $0.4 \leq x \leq 1$ here. A sacrifice layer and a structure layer may be deposited at temperature of about 550 ** or less. Germanium concentration of a structure layer may change according to the depth. A process may remove a portion of a structure layer, in order to attain desired three-dimensional shape. A sacrifice layer may be removed thoroughly. A sacrifice layer may be removed by putting it to hydrogen peroxide, ammonium hydroxide and water, or a solution containing HF. Before putting a sacrifice layer to HF, an amorphous silicon may be deposited on a substrate.

[0012]

This invention is turned to a micro electronic machine system in another mode. This system contains one or more structure layer; of $\text{Si}_{1-x}\text{germanium}_x$ which is formed on a substrate; board and which is $0 < x \leq 1$, and one or more transistors formed on a substrate.

[0013]

Various embodiments of a micro electronic machine system may also include the one or more following features. A micro electronic machine system is good also considering a substrate of

glass or silicon as a feature. Even if it has few sacrifice layers of one or more silicon germanium formed under a structure layer, it may contain each part, and germanium content of one or more sacrifice layers is larger than germanium content of each structure layer in that case. Even if a device has again few one or more sacrifice layers of silicon oxide formed under a structure layer, it may contain each part. One or more transistors in a micro electronic machine system may be a MOS transistor or a bipolar transistor.

[0014]

One or more structure layers in a micro electronic machine system are deposited on one or more transistors. One or more structure layers may be deposited on an upper part level of metal internal wiring of one or more transistors. One or more structure layers include sidewall electrically connected to an upper part level of electrode wiring. One or more structure layers may form a resonator, or may also build it into optical devices.

[0015]

Details of operation of one or more of this invention are given by an accompanying drawing and the following explanation. Other features, purposes, and advantages of this invention will become clear from explanation, a drawing, and a claim.

[0016]

Even if a theoretic advantage using polysilicon germanium is in low deposition temperatures more remarkable than LPCVD poly Si, is acquired with;, and also dopant activation and remaining stress annealing steps and is required, it can be processed [rather than] at a remarkable low temperature to LPCVD poly Si. It is because resistivity while p-type-polysilicon germanium (poly Si_(1-x) germanium_x) by which the in situ dope was carried out did not actually need an annealing step, because it had accumulated, remaining stress, and a stress inclination are low enough for many MEMS uses. A p type poly Si_(1-x) germanium_x film by which the in situ dope was carried out may make the rate of sedimentation the maximum, and it may be used for it as a structure layer from both of making membranous resistivity into the minimum. Polysilicon germanium (poly Si_(1-x) germanium_x) micro structure manufactures directly at the topmost part of a micro electronic circuit of conventional technology, using an "it being MEMS to the last" paradigm as a result. A layer of the beginning of poly SiGe deposits directly at a level above that of electrode wiring in an electronic circuit process. Mechanical properties, such as;, i.e., a peculiar dumping parameter of poly Si_(1-x) germanium_x, which does not become degradation even if it uses low temperature, and a breaking strain, are in the same range as it of poly Si.

[0017]

There is another advantage of a poly Si_(1-x) germanium_x film of LPCVD in using them to a sacrifice layer like a micro structure layer. A poly SiGe film which is rich in germanium or

germanium is selectively etched by using hydrogen peroxide (H_2O_2) as a release etching reagent about a poly SiGe film which contains Si at least 30%. Removal of HF as release etching simplifies the final step remarkably, and improves the safety of a process. Hydrogen peroxide does not invade the upper layer of micro electronic circuit structures, such as aluminum, an oxide, or an oxynitride, and does not need a special masking film for protecting an electronic circuit during release etching as a result. The remarkable selectivity of hydrogen peroxide to a film which is rich in germanium abolishes again the necessity for an etching access hole in a micro structure layer estranged by approaching. As a result, the MEMS designer can create a flat surface where an etching access hole is not opening a hole to a use like a micro mirror which is not preferred.

[0018]

Another advantage by using for the last a poly $Si_{(1-x)}\text{germanium}_x$ film which makes a strategy of MEMS possible a designer, It is because arbitrary integrated circuit (IC) factories can be used to an integrated circuit portion of a device, because any corrections are not needed for a micro electronic circuit process.

[0019]

SiGe carries out facilitating of the module accumulation which has a CMOS device, and for example, He promises to cause a revolution in MEMS art by increasing a process throughput and a yield, and improving micro structure (HEXSIL) manufacture by which the mold was carried out using the standard process technique, and making a new device design possible. It is because the LPCVD Si heating furnace can convert these improvement into a SiGe heating furnace easily only by applying another input gas economically that it can perform.

[0020]

Details of one or more embodiments of this invention are given by an accompanying drawing and the following explanation. Other features, purposes, and advantages of this invention will become clear from explanation, a drawing, and a claim.

[0021]

Same various reference designators and reference numbers in a drawing show same element.

[0022]

[Embodiment of the Invention]

This invention is turned to use of the $Si_{1-x}\text{germanium}_x$ material which is $0 < x \leq 1$ in order to manufacture a MEMS device. This invention is combined with the present micro electronic circuit, and is explained in some typical embodiments in manufacture of a MEMS resonator, and the point of a process step.

[0023]

Although poly SiGe is a semiconductor alloy material which has the characteristic similar to poly Si, it can be processed at a substantial more low temperature. Comparison of the various characteristics of poly Si and poly germanium is shown in Table 1.

[0024]

[Table 1]

表 1 : ポリ S i とポリ G e の特性

	ポリ S i	ポリ G e
温度特性 :		
溶融温度 (°C)	1 4 1 5	9 3 7
T _{deposition} (°C)	6 0 0	3 5 0
T _{stress, anneal} (°C)	9 0 0	< 5 5 0
熱膨張 (10 ⁻⁶ /K)	2 . 6	5 . 8
機械的特性 :		
ヤング率 (G p a)	1 7 3	1 3 2
破壊強度 (G p a)	2 . 6 ± 0 . 3	2 . 2 ± 0 . 4
電気的特性 :		
3 0 0 K でのバンドギャップ (e V)	1 . 1 2	0 . 6 6
電子親和力 (V)	4 . 1 5	4 . 0 0

[0025]

Drawing 1 A shows the top view of the device 120 containing the CMOS trans resistance amplifier 100 and the micro resonator 105 in parallel organization. Using p type Si_{1-x}germanium_x which is 0< x≤1 as a structural material, he would like to manufacture the resonator 105 by the micro manufacturing installation using germanium as a sacrifice material, it is carried out, and is a mold actuation device. In this special device, it is x= 0.64. The micro structure of the resonator is indicated to U.S. Pat. No. 5,025,346, U.S. Pat. No. 5,491,604, U.S. Pat. No. 5,537,083, and U.S. Pat. No. 5,839,062. All of these patents are transferred to the grantee of this invention application, and they are quoted and are included in this specification.

[0026]

The amplifier 100 may also contain one or more transistors. A transistor may be MOS or a bipolar transistor. A transistor may be formed on a silicon substrate.

[0027]

Drawing 1 B shows the amplifier 100 and the micro resonator 105 by which column organization was carried out on the device 120. The low deposition temperatures of a SiGe film enable deposition of the MEMS structure after micro electronic circuit completion.

Therefore, the resonator 105 can carry out direct production on the amplifier 100. This column organization strengthens device performance, decreasing resistance and electric capacity of peculiar internal wiring by column organization of drawing 1 A.

[0028]

A poly SiGe film can be deposited on conformal using the conventional low-pressure modified-chemical-vapor-deposition (LPCVD) device by temperature decomposition of germane (GeH_4) and Silang (SiH_4), or a disilane (Si_2H_6). The membranous deposition using a disilane as a silicon source can lower deposition temperatures in comparison with the membranous deposition which uses Silang. A film may be deposited at the temperature of about 650 °C or less, about 550 °C or less, or 450 °C or less. As for deposition of Si, a catalysis is performed by existence of germanium, and thereby, when a process is restricted by the surface reaction, the membranous rate of sedimentation increases with the increase in germanium content. Therefore, deposition temperatures can be lowered by increasing germanium content. To the film exceeding 50% of germanium content, the rate of sedimentation exceeding a part for 50A/is below 475 °C in temperature, and can attain to pure germanium at the temperature which is less than 325 °C.

[0029]

germanium content of a structure layer and a sacrifice layer can take the range up to about 30 to 100%. However, it is necessary to make germanium content of a sacrifice $\text{Si}_{(1-x)}$ germanium $_{(x)}$ layer larger than it in a structure layer so that it may explain below.

[0030]

A poly Si_{1-x} germanium $_x$ film can be deeply doped by combination of the in situ of the dopant under deposition, EKUSUTU by an ion implantation or diffusion, and the thermal annealing following it. Since career movement and the rate of dopant activity increase, the resistivity of a p type poly Si_{1-x} germanium $_x$ film decreases with germanium content generally. However, the resistivity of a n type film increases with germanium content which exceeds about 40% for the fall in the rate of dopant activity.

[0031]

A poly Si_{1-x} germanium $_x$ film can be patternized with dirty or the wet dry cleaning dirty technique fully established. Poly Si_{1-x} germanium $_x$ which a germanium dioxide is water solubility, therefore is rich in germanium is etched within oxidizing solutions, such as H_2O_2 . germanium is not invaded by acid of non-oxidizing qualities, such as HF, and the base. The Si_{1-x} germanium $_x$ film exceeding about 60% of germanium content is quickly etched all over the SC1 clean bus (1:1:5 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$) of standard RCA. Both the dope or the un-doped

$\text{Si}_{1-x}\text{germanium}_x$ film which has the selectivity (as opposed to Si and SiO_2) which increases exponentially with germanium content can be etched using this solution. A poly $\text{Si}_{1-x}\text{germanium}_x$ film is not usually remarkably influenced by the solution of a quiet oxidizing quality or a non-oxidizing quality used in a wet cleaning process. Poly $\text{Si}_{1-x}\text{germanium}_x$ is etched in the plasma of a fluoride base. Since the gasification velocity of germanium atom becomes large, the plasma etching speed of a poly $\text{Si}_{1-x}\text{germanium}_x$ film increases with the increase in germanium content. A high $\text{Si}_{1-x}\text{germanium}_x$ opposite Si etch rate ratio can be easily attained using reactive ion etching.

[0032]

In order to maintain the low thermometer drawing for a MEMS manufacturing process, rapid temperature annealing (RTA) by high-output tungsten halogen lamp exposure can be adopted, and the resistivity of a poly $\text{Si}_{1-x}\text{germanium}_x$ film can be lowered. Since germanium has an energy band gap lower than Si, it absorbs lamp radiation at efficiency still higher than Si. The higher absorption index brings about alternative heating of germanium in annealing. Annealing temperature higher than a possible temperature is realizable by heating furnace annealing of an option to the micro structure film of poly $\text{Si}_{1-x}\text{germanium}_x$ or poly germanium using this feature. This alternative annealing phenomenon is a peculiar advantage of poly $\text{Si}_{1-x}\text{germanium}_x$ in lowering thermometer drawing required for MEMS manufacture, or a poly germanium micro structure film.

[0033]

If drawing 2 - drawing 7 are referred to, it will have the conventional CMOS circuit of amplifier 100 grade, for example, for example, the process step for module integration of a mainstream micro structure of micro resonator 105 grade will be explained. The start board 110 (drawing 2) includes the micro electronic circuit of the NMOS210 grade manufactured using conventional CMOS or BiCMOS transistor process. The metal internal wiring 215 may be formed with aluminum or an aluminum alloy. As substitution, it may be formed with Cu, a Cu alloy, or other standard metal. Barrier metals, such as Ti/TiN (not shown), may be between the internal wiring 215 and the substrate 110. The internal wiring 215 is connected to the p^+ type (P^+) polycrystalline silicon (poly Si) strap 205 doped deeply.

[0034]

It corrects, and these figures are and are made into magnification so that layers may look [no] clear. Although some metal internal wiring layers are possible, only one is shown for simplification. An electronic circuit is passivated with the diacid-ized silicon (LTO) 225 deposited at a low temperature. LTO225 is ground in chemical machinery and attains a flat

surface.

[0035]

If drawing 3 is referred to, Bahia 305 pierces through LTO225 and is deeply cut to the p^+ poly Si connection strap 205 using conventional lithography and etching step. According to another embodiment, even the internal wiring 215 falls, and Bahia 305 abolishes the necessity for the p^+ poly Si connection strap 205, and reduces resistance of internal wiring.

[0036]

Subsequently, the layer 310 of p^+ poly $Si_{1-x}germanium_x$ which acts as sidewall deposits, and is patternized. According to 1 embodiment, an in situ dope film is used. As substitution, the sidewall 310 deposits a non-doping film, and subsequently, with the art concerned, it may be doped by a well-known ion implantation or diffusion process, and it may form it. Can use the p^+ poly $Si_{1-x}germanium_x$ material which is $0.8 > x > 0.6$ as the sidewall 310, and it, (For compatibility with a metallization electronic circuit) It cannot be too high although it is because germanium content must be high enough so that low process temperature may be made possible, however so that a micro structure release etching step with final sidewall can be borne.

[0037]

Various conditions of deposition and preliminary deposition are possible to this step and other steps explained in another part in this detailed explanation. It is clear that various deposition conditions are described for aiming at explanation. While there are other possible deposition conditions, per minute 200 :standard cubic-centimeter (sccm) Si_2H_6 provided with the following deposition conditions for the p^+ poly $Si_{1-x}germanium_x$ sidewall 310, It is carrying out the preliminary deposition of the amorphous Si layer (not shown) below 5 nm by passing for 2 minutes at pressure 300mT and the temperature of 425 **. This needs p^+ poly $Si_{1-x}germanium_x$ sidewall to make it possible to make a core on LTO225. The thickness of final sidewall is about 500 nanometers, and it, It deposits by passing 85sccm SiH_4 , 90sccm GeH_4 , and 50sccmB dopant source gas (10% B_2H_6 and 90% SiH_4) for 30 minutes at 600mT and 450 **.

[0038]

Subsequently the sacrifice layer 405 of poly germanium deposits drawing 4, and being selectively etched downward to the p^+ poly $Si_{1-x}germanium_x$ sidewall 310 is shown in the field 410 to which the structure layer of micro structure should be fixed. It can be aiming at a graphic display and the arrangement of the field 410 about the internal wiring 215 can be more

the right or on the left of internal wiring. :preliminary deposition whose deposition conditions of the sacrifice layer 405 are as follows: For 5 minutes, it is 300mT, 375 **, and 200sccmSi₂H₆, and is GeH₄ of 300mT, 375 **, and 220sccm for; deposition:165 minutes.

[0039]

These deposition conditions bring about the sacrifice layer 405 of 2.7-micron thickness. Again, preliminary deposition is required to poly germanium so that it can deposit on LTO225. It is possible to have poly Si_{1-x}germanium_x as a sacrifice material of the layer 405 instead of poly germanium. However,;, i.e., a sacrifice material, which must have x with sacrificial bigger poly Si_{1-x}germanium_x than x to poly Si_{1-x}germanium_x of structure must have germanium content higher than a structure layer. This is [that the material which has higher germanium content is early etched more in an oxidizing solution rather than the material of lower germanium content (victim is fallen), and].

[0040]

Next, in drawing 5, the structure layer 505 of p⁺ poly Si_{1-x}germanium_x accumulates, and is patternized. The deposition conditions of the layer 505 of p⁺ poly Si_{1-x}germanium_x, :preliminary deposition which is as follows : For 2 minutes, are 300mT, 425 **, and 200sccmSi₂H₆, and For; deposition:180 minutes, They are 600mT, 450 **, 85sccmSiH₄, 90sccmGeH₄, and 50sccmB dopant source gas (10%B₂H₆ and 90%SiH₄).

[0041]

The deposited structure layer 505 is a film of 3-micron thickness. Preliminary deposition makes it possible again to form the structure layer 505 on SiO₂. Although any SiO₂ surfaces are not so, poly Si_{1-x}germanium_x can form a thin natural oxidizing zone (not shown).

[0042]

If drawing 6 is referred to, next the opening 610 is patternized, and it will pierce through the sacrifice poly Si_{1-x}germanium_x layer 405, the sidewall 310, and the layer 225, and will be etched. This step exposes the metal-bond pad 605. The standard release etching reagent used with the conventional surface micro machining technique is a fluoric acid (HF) solution, and this is difficult to invade a metal, therefore to make a bond pad field clear before the release of micro structure. It is because it becomes possible [use of germanium as a sacrifice material] for there to be also no risk of doing what kind of damage, and to expose a metal-bond pad, because germanium can be easily removed in the solution of a benign oxidizing quality to a metal. This simplifies the reliability of a package process and improves.

[0043]

In drawing 7, sacrifice poly Ge layer 405 ranks second, and etching removal is carried out using oxidizing solutions, such as H_2O_2 . Finally the substrate 110 is rinsed and dried. The prevention for preventing the stiction between the structure layer 505 and the sidewall 310 may be needed. Please care about making it possible to carry out direct production of the MEMS structure to the upper surface of an electronic circuit so that this process shows drawing 1 B and drawing 7. Cost is reduced by this decreasing resistance and electric capacity of the parasitism based on long internal wiring, and saving area.

[0044]

This process flow applies directly, when manufacturing MEMS structure on a standard electronic circuit, and it can be used for a p type poly Si layer forming the internal wiring between devices in that case. A 0.25 micron of sub CMOS technology uses the poly Si layer (an n channel device region n^+ and a p channel device region p^+) usually doped selectively, and by that cause, p^+ poly Si should note being able to use easily, in order to form the strap of the internal wiring between MEMS and a CMOS device. As substitution, the p^+ poly Si_{1-x} germanium_x sidewall can carry out direct continuation to a metallic wire, without needing the poly Si strap of relay.

[0045]

Although use of poly SiGe which is rich in germanium as a sacrifice layer has some advantages, the strategy which accumulates MEMS at the end is realizable using an oxidation sacrifice layer. In this case, it is possible to use a n type or p type poly SiGe as a structure layer. Since HF is a release etching reagent of an oxidation sacrifice layer, it needs to protect electronic circuit structure from erosion by HF under release. The layer without a pinhole needs to be able to bear carrying out long exposure to HF, without being able to deposit at a low temperature (<450 **) and carrying out performance degradation. The film cannot have high conductivity or it will carry out simplistic [of the poly Si_{1-x} germanium_x micro structure]. It is thought that an amorphous silicon is a film useful for this use.

[0046]

Drawing 8 - drawing 13 explain the process of the substitution which uses an oxide for the upper surface of the micro electronic circuit of amplifier 100 grade as a sacrifice material, and carries out direct production of the MEMS device of micro resonator 105 grade to it. In drawing 8, the start board 112 includes the micro electronic circuit of the NMOS212 grade manufactured using conventional CMOS or BiCMOS transistor process. The metal internal wiring 217 may be formed with aluminum, Cu, an aluminum alloy, a Cu alloy, or other standard metal. Here, the internal wiring 217 is made from aluminum. Barrier metals, such as Ti/TiN (not shown), may be between the internal wiring 217 and the substrate 112. In this embodiment,

the strap 805 connected to the internal wiring 217 is the n type (n^+) polycrystalline silicon (poly Si) material doped deeply.

[0047]

It corrects, and these figures are and are made into magnification so that layers may look [no] clear. Although some metal internal wiring layers are possible, only one is shown for simplification. An electronic circuit is passivated with the diacid-ized silicon (LTO) 227 deposited at a low temperature.

[0048]

As shown in drawing 9, the amorphous silicon (α -Si) layer 905 ranks second and deposits. This α -Si has a resistance force in fluoric acid (HF), and it was proved [α -Si] that the electronic circuit of NMOS212 grade was protected from HF. Subsequently, another LTO layer 910 accumulates so that it may work as an etching stopping layer by a next etching step. This LTO layer 910 is excludable in other embodiments.

[0049]

The deposition conditions of the layer 905 of 590A thickness include the LPCVD process of two steps of passing Si_2H_6 by 500mT. Step 1 is processed for 6 minutes at 450 **, and Step 2 is processed for 40 minutes at 410 **.

[0050]

In drawing 10, next, using conventional lithography and etching step, Bahia 1000 pierces through the multilayer stack layers 227, 905, and 910, and is formed. Bahia 1000 descends to the n^+ poly Si connection strap 805. In another embodiment, Bahia descends to the internal wiring 217 instead, and the n^+ poly Si connection strap 805 is removed, and decreases resistance of internal wiring.

[0051]

Next, n^+ poly Ge layer 1010 accumulates. This n^+ poly Ge layer is a sidewall layer. Although the in situ doped film was used, the sidewall layer 1010 deposits a non-doping film, and subsequently, with the art concerned, it may be doped by a well-known ion implantation or diffusion process, and it may form it. Instead of n^+ or p^+ poly germanium, it should note being able to use n^+ [of $x < 1$], or p^+ poly $\text{Si}_{1-x}\text{Ge}_x$ germanium_x to a sidewall layer. A sidewall layer is patternized using conventional lithography and etching process.

[0052]

The deposition conditions of the n^+ poly germanium sidewall layer 1010 of 3100A thickness, It is for 50 minutes in preliminary deposition:200sccm Si_2H_6 including the LPCVD process processed by 400 ** and 300mT about; deposition:100sccm GeH_4 during 1 minute, and

10sccm50%PH₃/50%SiH₄.

[0053]

Next, as shown in drawing 11, the sacrifice layer 1100 of LTO accumulates. LTO layer 1100 is ground in chemical machinery, and gives the flat surface. LTO layer 1100 ranks second, and a structure layer is the field 1110 which should be fixed by the sidewall 1010 and should be connected to it (on for example, right-hand side of a figure), and it is etched downward to n⁺ poly germanium sidewall.

[0054]

The structure layer of n⁺ poly germanium 1200 ranks second and accumulates so that it may illustrate to drawing 12. Although an in situ dope film may be used, the structure layer 1200 deposits a non-doping film, and subsequently, with the art concerned, it may be doped by a well-known ion implantation or diffusion, and it may form it. Again, it should note being able to use n⁺ [of x< 1], or p⁺ poly Si_{1-x}germanium_x for the structure layer 1200 instead of n⁺ or p⁺ poly germanium. The structure layer 1200 is patternized using conventional lithography and etching process.

[0055]

The deposition conditions which form the n⁺ poly germanium structure layer 1200 of 2.2-micron thickness, It is for 4 hours and 45 minutes in preliminary deposition:200sccmSi₂H₆ including the LPCVD process processed by 400 ** and 300mT about; deposition:100sccmGeH₄ during 1 minute, and 10sccm50%PH₃/50%SiH₄.

[0056]

if drawing 13 is referred to -- a device -- next, in order to lower resistance of n⁺ poly Ge layer 1200, nitrogen (N₂) environment sets and it anneals for 30 seconds by 550 ** RTA. Sacrifice LTO1100 ranks second and etching removal is carried out using the solution containing HF. the last -- the substrate 112 -- water -- subsequently it is rinsed and air-dried with methanol. It sticks between the structure layer 1200 and the sidewall layer 1010, and **** usually occurs in a dry process, and it is needed in order that a special step may avoid this problem. It is found out that the poly germanium structure layer 1200 does not stick to the poly germanium sidewall layer 1010. These advantageous low adhesion characteristics of poly germanium exist also about poly Si_{1-x}germanium_x of x< 1 again. Please care about that this process makes it possible to manufacture MEMS structure directly on the upper surface of an electronic circuit as illustrated to drawing 13. Cost is reduced by this decreasing resistance and electric capacity of the parasitism based on long internal wiring, and saving area.

[0057]

This process flow applies directly manufacturing MEMS structure on a standard electronic circuit, and in order that an n^+ poly Si layer may form the internal wiring between devices in this case, it can use. It is also possible to use p type (p^+) poly Si_{1-x} germanium $_x$ deeply doped by the structure layer. In that case, p^+ poly Si_{1-x} germanium $_x$ sidewall uses a p^+ poly Si internal wiring strap by not needing the poly Si strap of relay or is directly connectable either with a metallic wire.

[0058]

As modification of the above-mentioned process, the transistor on a substrate may be formed, without carrying out metallization, before forming the sacrifice layer and structure layer of a micro structural steel worker. A transistor ranks second, and after it forms a sacrifice layer and a structure layer, metallization of it may be carried out. However, the manufacture strategy replaced by turns [this] does not have a manufacture advantage of the approach modularized after the electronic circuit explained to drawing 2 - drawing 13.

[0059]

The frequency response of the integrated poly germanium resonator and a standard CMOS amplifier is shown in drawing 14. Bias of sidewall and the shuttle was carried out by 50V. The driving signal was an AC signal of 7V_{p-p}. The device was examined in the air and the resonator had Q45 and the resonance frequency of 14.05 kHz. The frequency response shows that the device is functioning thoroughly.

[0060]

Although the internal wiring layers of the monolayer are shown in the process of drawing 2 - drawing 7 and drawing 8 - drawing 15, drawing 15 is illustrating some metal internal wiring layers which can be used with the newest CMOS device that can design the internal wiring of the length between MEMS structure and an electronic circuit shielded short and well. Direct production of the MEMS structures 1500, such as a micro resonator, is carried out on the metal internal wiring 1550 of five levels. Like a graphic display, a micro resonator contains the driving electrode 1505, the tuning fork resonator 1510, and the sensing electrode 1515. The metal internal wiring 1550 of five levels includes the shields 1525 and 1530 which protect DC bias 1520 to the resonator 1510, and the internal wiring 1555 to the driving electrode 1505. The internal wiring 1550 includes again the shields 1540 and 1535 which protect the internal wiring 1545 to the sensing electrode 1515. It is because MEMS1500 integrated does not need a special and expensive electronic circuit process cheaply to manufacture and the addition of MEMS structure does not increase the size of a mold. It is because the extension to two or more structure layers is dramatically easier than the case of the strategy which accumulates MEMS first, because the increase in the thickness of a MEMS film stack finally does not affect an electronic circuit process.

[0061]

The efficacy of some sacrifice materials (SiO_2 , SiGe which is rich in germanium, and SiGe which is rich in Si), It is transferred to a grantee as subordinate application, and different design options to other devices, such as HEXSIL structure etc. of the kind indicated by U.S. Pat. No. 5,660,680 included in this specification by quotation, are provided. As shown in drawing 16, the HEXSIL structure 1615 of SiGe is formed in Si type 1620 using two sacrifice layers, the SiO_2 layer 1610 and Ge layer 1605. The etching capability of a different sacrifice layer in time to differ in a process provides various design options. For example, the temperature expansion coefficient of the SiO_2 layer 1610 differs from it of Si type 1620 greatly, and when this cools a mold after deposition, a crack may occur. HF etching solution does damage to a mold by repeated use again. The layer of SiGe which is rich in germanium, and SiO_2 is used for coinciding the temperature expansion coefficient of a sacrifice material with Si type it. Since $\text{H}_2\text{O}_2:\text{NH}_4\text{OH}:\text{H}_2\text{O}_2$ 1:1:5 solution foams at about 70 **, it makes it easy to take out the structure by which the mold was carried out from the mold 1620. This solution does not do damage to a mold, either.

[0062]

In addition, SiGe has the peculiar characteristic which makes a new device design possible. It is reflexivity on the wavelength of the infrared rays related to [unlike Si] a communication use in germanium. The reflexivity of germanium is higher on the wavelength in the situation of infrared light and visible light. The reflector of germanium can be used without coating which improves reflectance in the use of an optical switch and video projection system JON. This device may be manufactured on a glass substrate. The low process temperature of SiGe makes it possible to use the material of a low temperature. A comparatively thick layer can be manufactured without paying concern to the curvature of the wafer in a process. The three-dimensional sculpture of a layer system will be attained by attaching an inclination to Ge concentration. Stress, Young's modulus, density, and conductivity can be ordered by changing Ge concentration.

[0063]

Some embodiments of this invention have been described. Nevertheless, various corrections may be made, without deviating from the pneuma and the popular use range of this invention. Therefore, other embodiments are in popular use within the limits of the claim of said patent.

[Brief Description of the Drawings]

[Drawing 1 A]

It is a top view of a MEMS resonator and the micro electronic amplifier produced in parallel.

[Drawing 1 B]

It is a top view of the MEMS resonator produced on the micro electronic amplifier.

[Drawing 2]

It is a sectional view showing the step in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 3]

It is a sectional view showing the step in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 4]

It is a sectional view showing the step in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 5]

It is a sectional view showing the step in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 6]

It is a sectional view showing the step in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 7]

It is a sectional view showing the step in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 8]

It is a sectional view showing the step of the substitution in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 9]

It is a sectional view showing the step of the substitution in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 10]

It is a sectional view showing the step of the substitution in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 11]

It is a sectional view showing the step of the substitution in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 12]

It is a sectional view showing the step of the substitution in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 13]

It is a sectional view showing the step of the substitution in manufacture of the resonator and amplifier of drawing 1 B.

[Drawing 14]

It is a diagram explaining the frequency response of a micro resonator like drawing 1 A, and a CMOS amplifier.

[Drawing 15]

It is a sectional view of the resonator manufactured on the CMOS device of five levels.

[Drawing 16]

It is a sectional view of the HEXSIL structure of having silicon oxide and germanium as a sacrifice layer.

[Description of Notations]

100 Trans resistance amplifier 105 The micro resonator 110. Substrate 112 board 120 The device 205. Connection strap 215 The metal internal wiring 217. Metal internal wiring 225 LTO-layer 227 multilayer stack layer 305 Bahia 310 sidewall 405 sacrifice-layer 410 field 505 poly $\text{Si}_{1-x}\text{germanium}_x$ structure layer 605 metal-bond pad 610 The opening 805. Connection strap 1000 Bahia 1010. Sidewall layer 1100 sacrifice-layer 1110 The field 1200. The poly germanium structure layer 1500 MEMS structure 1505. Driving electrode 1510 tuning-fork resonator 1515 The sensing electrode 1520. DC-bias 1525 shield 1530 shield 1535 shield 1540 shield 1545 Internal wiring 1550 5 level metal internal wiring 1555 internal-wiring 1605 Ge-layer 1610 SiO_2 layer 1615 HEXSIL structure 1620 Mold

[Translation done.]